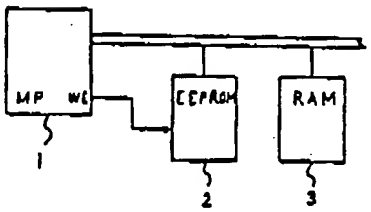
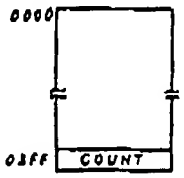
(54) STORAGE DEVICE
(11) 59-162695 (A) (43) 13.9.1984 (19) JP
(21) Appl. No. 58-36964 (22) 7.3.1983
(71) NIPPON DENKI K.K. (72) TOSHIO NINOMIYA(1)
(51) Int. Cl³. G11C17/00

PURPOSE: To secure the reliability of storage contents easily by controlling the frequency of writing to a nonvolatile memory.

CONSTITUTION: A microprocessor is connected to a nonvolatile and electrically erasable programmable ROM (EEPROM)2 and an RAM3. The processor 1 writes the frequency of writing up to now in a specific address (03FF) of the memory 2 prior to writing to the memory 2. The processor 1 reads the frequency COUNT of writing by a write enable signal WE to the memory 2 before writing data in the memory 2; when the frequency does not exceed a secured frequency N of writing, the value COUNT is increased by one to perform the writing to the memory 2, and when so, data to be written in the memory 2 is saved on an external storage device such as a floppy disk to let an operator know that the memory 2 should be replaced.





⑲ 日本国特許庁 (JP)　　⑪ 特許出願公開

⑫ 公開特許公報 (A)　　昭59—162695

⑤Int. Cl.³	識別記号	庁内整理番号	⑬公開 昭和59年(1984)9月13日
G 11 C 17/00	101	6549—5B	

発明の数 1
審査請求 未請求

(全 2 頁)

⑭記憶装置

⑳特　　願 昭58—36964
㉒出　　願 昭58(1983)3月7日
㉑発 明 者 二宮敏雄
東京都港区芝五丁目33番1号日本電気株式会社内
㉑出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
㉔代 理 人 弁理士 内原晋

明　細　書

1. 発明の名称

記 憶 装 置

2. 特許請求の範囲

不揮発性のメモリの特定番地に書込み回数を記憶しておくエリアを設けたことを特徴とする記憶装置。

3. 発明の詳細な説明

本発明は、不揮発性の半導体メモリをもつ記憶装置に関する。

電気的に読出しおよび書込みが可能で電源を切断しても、その内容が保持されるこの種の不揮発性半導体メモリへの書込み可能回数は 10^3〜10^5 回程度である。ところが従来の紫外線消去方式とは異なり電気的に消去が可能であるのでメモリ内容の書換えは装置に実装され電源を入れたまま行うことができるようになり、その結果として書換えが頻繁に行われるメモリとして使用されるようになってきた。

このようなアプリケーションにおいては、書込まれた情報が正しく記憶されているか常に確認し、その内容を保証する必要がある。

従って本発明の目的は、不揮発性メモリの書込み回数の管理を行なうことによって、記憶内容の信頼性の保証を簡便に実施することのできる記憶装置を提供することにある。

本発明によれば、電気的に消去及び書込みが可能な不揮発性メモリの特定番地にその時点までの書込み回数を記憶させ書込みを行うたびに、書込み回数を確認することを特徴とする記憶装置が得られる。

次に本発明の実施例について図面を参照して本発明を詳細に説明する。

第1図は、本発明の一実施例の構成をブロック図で示したものであり、マイクロプロセッサはバスを介して不揮発性で電気的に消去可能なプログラマブル・リード・オンリー・メモリ (EEPROM)

2と、ラム・アクセス・メモリ（RAM）3とに接続されている。

マイクロプロセッサ1は、メモリ2に書込みを行なう前に、第2図に示すようにメモリ2の特定番地（03FF）に、現時点までの書込み回数を書込んでおき、第3図に示す流れ図に基づいて、保証された書込み回数内であるかを確認してから、書込みの実行を行う。

第3図において、Nは保証された書込み回数であり、COUNTは現時点までにメモリ2に書込んだ回数である。プロセッサ1はメモリ2にデータを書込む前にメモリ2への書込みイネーブル信号WEによって書込み回数COUNTを読込み、保証された書込み回数Nを越えてなければ、COUNTの値に1を加えて、メモリ2への書込みを実行し、越えていればメモリ2に書込もうとしたデータをフロッピーディスク等の外部記憶装置に退避しておき、メモリ2の交換をオペレーターに知らせる。

また第4図のように、公知の方法であるLRC（Logitudial Redundancy Check）のためのエリアを確保しておくことによってLRCによる不揮発性メモリ2のチェックもできる。

以上のように、メモリ自身の不揮発性を利用し、保証された書込み回数内で使用することを管理する機能を設けることによって不揮発性メモリの使用上の信頼性を簡便に保証することができる。

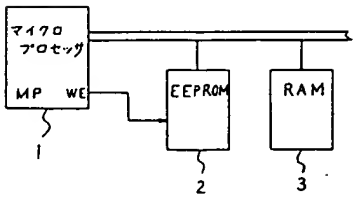
本発明は以上説明したように、電気的に消去及び書込みが可能な不揮発性メモリの特定番地に書込み回数を記憶しておくことにより、保証された書込み回数内で使用することを管理することができ、使用上の信頼性を極めて簡単な方法で保証する効果がある。

4. 図面の簡単な説明

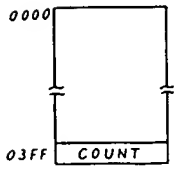
第1図は、本発明の一実施例のブロック図、第2図は不揮発性メモリのメモリエリアを示す図、第3図は、不揮発性メモリの書込み時の制御を示す流れ図、第4図は不揮発性メモリの特定番地をLRCに利用した例である。

代理人　弁理士　内原　晋

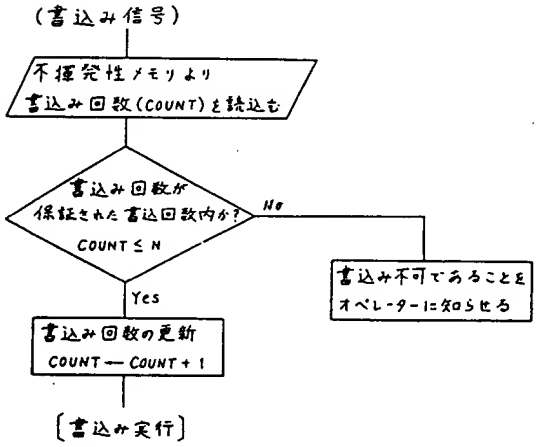
第1図



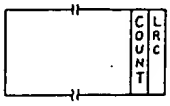
第2図



第3図



第4図



POLYGLOT INTERNATIONAL
Global Management of Language-Related Projects

340 Brannan Street, Fifth Floor
San Francisco, CA 94107 • USA

Tel (415) 512-8800
FAX (415) 512-8982

TRANSLATION FROM JAPANESE

(19) JAPANESE PATENT OFFICE (JP)
(11) Japanese Laid-Open Patent Application (Kokai) No. **59-162695**
(12) Official Gazette for Laid-Open Patent Applications (A)

(51) Int. Cl.[3]:	Classification Symbols:	Internal Office Registration Nos.:
G 11 C 17/00	101	6549-5B

(43) Laying-Open Date: September 13, 1984
Request for Examination: Not yet submitted
Number of Inventions: 1
(Total of 2 pages [in original])

---

(54) Title of the Invention: **Storage Device**

(21) Application No. 58-36964
(22) Filing Date: March 7, 1983
(72) Inventor: Toshio Ninomiya
(72) Inventor: Sadanobu Ikeda
(71) Applicant: NEC Corp.
(74) Agent: Susumu Uchihara, Patent Attorney

SPECIFICATION

1. Title of the Invention

Storage Device

2. Claims

A storage device, characterized by the provision of an area in which the number of writes to a specific address of a nonvolatile memory is stored.

3. Detailed Description of the Invention

The present invention relates to a storage device having a nonvolatile semiconductor memory.

With this type of nonvolatile semiconductor memory, which is electrically readable and writable and retains its contents even if its power source is cut off, the number of writes to the memory is about 10^3 to 10^5 times.* Unlike with a conventional ultraviolet erasure system, the contents of the memory can be erased electrically, so the rewriting of the contents can be performed with the memory installed in the device and the power still on. As a result, this type of memory has come to be used in applications where frequent rewriting is required.

Applications such as this require that the contents be secured by constant confirmation as to whether the written information is correct.

Therefore, an object of the present invention is to offer a storage device with which the reliability of the memory contents can be secured easily by means of management of the number of writes to the nonvolatile memory.

The present invention is a storage device, characterized by the fact that the number of writes up to a certain point in time to a specific address in an electrically erasable and writable nonvolatile memory is stored, and the number of writes is confirmed every time information is written.

The present invention will now be described in detail through reference to the figures for a practical example of the present invention.

---

* Translator's note: The superscript in "10^5" is illegible in the original.

Figure 1 is a block diagram of the structure of a practical example of the present invention. A microprocessor is connected via a bus to a nonvolatile, electrically erasable programmable read-only memory (EEPROM) 2 and a random access memory (RAM) 3). As shown in Figure 2, before information is written to the memory 2, the microprocessor 1 writes to a specific address (03FF) of the memory 2 the number of writes up to the present time, and the information is only written after it has been confirmed that this number is within the secured number of writes based on the flow chart in Figure 3.

In Figure 3, N is the secured number of writes, and COUNT is the number of times information has been written to the memory 2 up to the present time. The processor 1 reads the number of writes (COUNT) by means of a write enable signal WE to the memory 2 before writing data to the memory 2. When the secured number of writes N is not exceeded, 1 is added to the value of COUNT, and the data is written to the memory 2. When N is exceeded, the data that was to be written to the memory 2 is diverted to an external storage device, such as a floppy disk, and the operator is told to replace the memory 2.

As shown in Figure 4, the nonvolatile memory 2 can also be checked by means of an LRC (Logitudial Redundancy Check), which is a known method, by providing an area for this LRC.

As above, reliability of a nonvolatile memory during its use can be easily ensured by utilizing the nonvolatility of the memory itself and providing a function for ensuring that the memory will be used within the secured number of writes.

As described above, the present invention involves storing the number of writes to a specific address of an electrically erasable and writable nonvolatile memory, which ensures that the memory will be used within the secured number of writes, and allows the reliability of the memory during its use to be ensured by an extremely simple method.

4. **Brief Description of the Figures**

Figure 1 is a block diagram of a practical example of the present invention. Figure 2 is a diagram of the memory area of a nonvolatile memory. Figure 3 is a flow chart of the control during writing to a nonvolatile memory. Figure 4 is an example of the use of a specific address of a nonvolatile memory in an LRC.

Figure 1

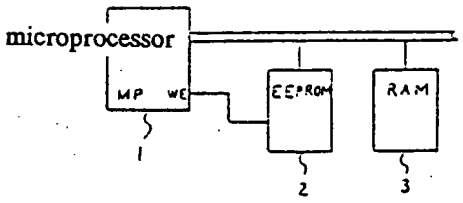


Figure 2

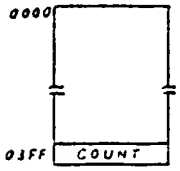
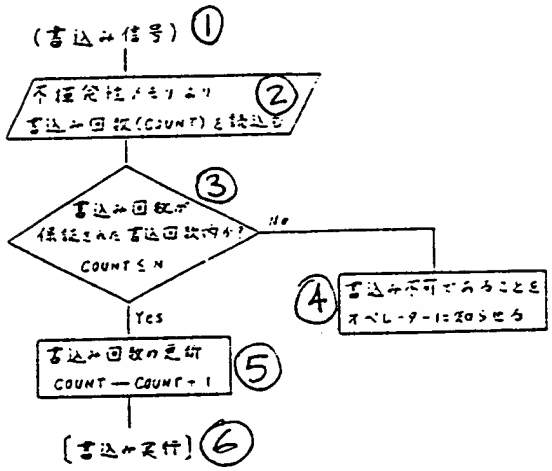


Figure 3



Key: 1: (Write signal), 2: Read number of writes (COUNT) from nonvolatile memory, 3: Is number of writes within secured number of writes? COUNT ≤ N, 4: Notify operator that writing is impossible 5: Renew number of writes, COUNT − COUNT + 1, 6: (Write execute)

Figure 4